

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Sung-min Yim et al.

Serial No.: [NEW]

Attn: Applications Branch

Filed: September 19, 2001

Attorney Docket No.: SEC.813

For: AN APPARATUS AND METHOD FOR MEASURING ELECTRICAL
CHARACTERISTICS OF A SEMICONDUCTOR ELEMENT IN A PACKAGED
SEMICONDUCTOR DEVICE

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Date: September 19, 2001

Sir:

Applicants, in the above-identified application, hereby claim the priority date
under the International Convention of the following Korean application:

Appln. No. 2000-54874

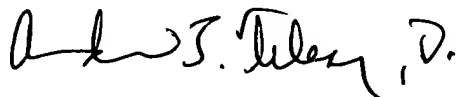
filed September 19, 2000

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.



Andrew J. Telesz, Jr.
Registration No. 33,581

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877



J1011 U.S. PRO
09/955310



대한민국 특허청

KOREAN INDUSTRIAL
PROPERTY OFFICE

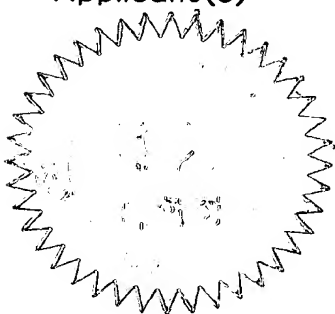
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 54874 호
Application Number

출원년월일 : 2000년 09월 19일
Date of Application

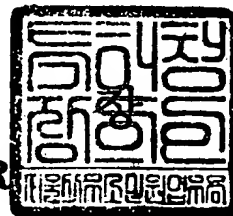
출원인 : 삼성전자 주식회사
Applicant(s)



2000 년 11 월 04 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2000.09.19
【국제특허분류】	G11C
【발명의 명칭】	패키지 상태에서 반도체 소자의 전기적 특성 측정 수단 및 그 방법
【발명의 영문명칭】	Electric characteristics measuring means of semiconductor element in packaged semiconductor device and method there-of
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	임성민
【성명의 영문표기】	YIM,Sung Min
【주민등록번호】	660210-1226533
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산24
【국적】	KR

【발명자】**【성명의 국문표기】**

문병모

【성명의 영문표기】

MOON, Byong Mo

【주민등록번호】

720725-1642329

【우편번호】

140-111

【주소】

서울특별시 용산구 원효로1가 27-64

【국적】

KR

【발명자】**【성명의 국문표기】**

송인호

【성명의 영문표기】

SONG, In Ho

【주민등록번호】

730222-1405211

【우편번호】

151-019

【주소】

서울특별시 관악구 신림9동 251-430 B101호

【국적】

KR

【취지】특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 이영

필 (인) 대리인

정상빈 (인) 대리인

이래호 (인)

【수수료】**【기본출원료】**

19 면 29,000 원

【가산출원료】

0 면 0 원

【우선권주장료】

0 건 0 원

【심사청구료】

0 항 0 원

【합계】

29,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

패키지 상태에서 반도체 소자의 전기적 특성을 측정하는 수단 및 그 방법이 개시된다. 본 발명의 반도체 소자의 전기 특성 측정 수단은 전기 특성 측정부를 구비한다. 전기 측정부는 전기 특성을 측정하고자 하는 전기 소자에 접속되고, 반도체 장치 내의 하나의 패드에 접속된다. 그리고, 전기 특성 측정부는 제어 신호에 응답하여 구동되어 전기 소자의 전기 특성이 반영된 값을 패드로 출력한다. 전기 특성 측정부는 엔모스 문턱 전압 측정부, 엔모스 포화 전류 측정부, 피모스 문턱 전압 측정부, 피모스 포화 전류 측정부 및 저항 측정부(90) 중 적어도 어느 하나를 포함한다. 본 발명에 의하여, 패키지 조립 후의 완제품 상태에서 반도체 장치내의 전기 소자의 특성을 측정함으로써, 보다 정확한 전기 특성값을 구할 수 있다. 따라서, 반도체 장치의 특성 저하 및 오동작을 방지할 수 있다.

【대표도】

도 5

【명세서】**【발명의 명칭】**

패키지 상태에서의 반도체 소자의 전기적 특성 측정 수단 및 그 방법{Electric characteristics measuring means of semiconductor element in packaged semiconductor device and method there-of}

【도면의 간단한 설명】

도 1은 본 발명의 일 실시예에 따른 반도체 소자의 전기적 특성 측정 방법을 나타내는 흐름도이다.

도 2는 본 발명에 따라 반도체 장치를 테스트 모드로 진입시키기 위한 타이밍도의 일 예이다

도 3은 본 발명에 따라 반도체 장치를 전기 특성 측정 모드로 진입시키기 위한 타이밍도의 일 예이다.

도 4는 본 발명의 제어 신호를 발생하는 회로의 일 예를 나타내는 도면이다.

도 5는 본 발명의 일 실시예에 따른 반도체 소자의 전기 특성 측정 수단을 나타내는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 장치에 관한 것으로서, 특히 패키지 상태에서 반도체 장치내의 전기 소자의 특성을 측정하는 수단 및 방법에 관한 것이다.

<7> 반도체 장치는 웨이퍼(wafer) 내에 트랜지스터(transistor), 저항 및 커패시터 등의 전기 소자들을 구현하고 이들을 소정의 패턴으로 연결함으로써, 반도체 집적 회로 및 장치를 구현한다. 반도체 장치의 설계 초기 과정에서는 적용될 공정의 모델 파라미터 (parameter)를 이용하여, 시뮬레이션을 통해 완제품의 특성을 예측한다. 따라서, 설계 초기에 사용하는 전기 소자의 전기적 특성을 나타내는 모델 파라미터의 정확성은 매우 중요하다. 그러나 집적 회로가 점점 더 고집적화됨에 따라 전기 소자들의 특성의 산포도 (dispersion)가 증가하는 것이 일반적인 추세이다.

<8> 그런데, 기존에는 웨이퍼 상태에서 선별적으로 임의의 웨이퍼를 선택하여 전기 소자의 특성을 모니터하여, 그 결과를 모델 파라미터에 적용하는 방법을 사용하여 왔다. 따라서, 종래 기술에 의해 모니터한 전기 특성은 모든 웨이퍼 및 칩의 전기 특성을 대변하지 못하는 문제점이 있다. 또한, 웨이퍼 상태에서의 전기 특성의 측정이므로, 패키지가 이루어진 완제품 상태의 전기 특성을 제대로 반영하지 못하는 문제점이 있다. 이로 인해, 반도체 장치의 특성의 산포도도 증가한다. 따라서, 소정의 특성 범위를 벗어나는 반도체 장치가 많이 발생하고, 이는 반도체 장치의 특성 저하 및 오동작의 원인이 된다. 특히, 고속으로 동작하는 반도체 장치의 경우에는 오동작이 발생할 확률이 증가된다.

【발명이 이루고자 하는 기술적 과제】

<9> 본 발명이 이루고자 하는 기술적 과제는 패키지 조립 후의 완제품 상태에서 각 반도체 장치내의 전기 소자의 특성을 측정하고, 그 정보를 반도체 장치의 특성을 조율 (tuning)하는 회로에 제공함으로써 반도체 장치의 특성 왜곡을 방지하는 반도체 소자의 전기적 특성 측정 수단 및 그 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<10> 상기 기술적 과제를 이루기 위한 본 발명의 일면은 패키지 상태에서 반도체 장치내의 전기 소자의 특성을 측정하는 수단에 관한 것이다. 바람직한 실시예에 따른 본 발명의 반도체 소자의 전기 특성 측정 수단은 상기 전기 소자에 접속되고, 상기 반도체 장치의 패드에 접속되는 전기 특성 측정부로서, 소정의 제어 신호에 응답하여 구동되어 상기 전기 소자의 전기 특성이 반영된 값을 상기 패드로 출력하는 상기 전기 특성 측정부를 구비한다. 그리고, 상기 제어 신호는 상기 반도체 장치의 패키지 조립 후에 소정의 전기 특성 측정 모드에서 활성화되는 것을 특징으로 한다.

<11> 상기 기술적 과제를 이루기 위한 본 발명의 일면은 패키지 상태에서 반도체 장치내의 전기 소자의 특성을 측정하는 방법에 관한 것이다. 바람직한 실시예에 따른 본 발명의 반도체 소자의 전기 특성 측정 방법은 (a) 상기 반도체 장치의 패키지 조립 후에 상기 반도체 장치를 소정의 전기 특성 측정 모드로 진입시키는 단계; (b) 소정의 제어 신호가 발생하는 단계; 및 (c) 상기 제어 신호에 응답하여, 상기 전기 소자에 접속되고 상기 반도체 장치의 패드에 접속되는 전기 특성 측정부가 구동되어 상기 전기 소자의 전기적 특성이 반영된 값을 상기 패드로 출력하는 단계를 구비하는 것을 특징으로 한다.

<12> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<13> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 본 명세서에서는, 설명의 편의상, 각 도면을 통하여 동일한 역할을 수행하는 신호와 구성 요소는 동일한 참조 부호 및 참조 번호로 나타낸다.

- <14> . 도 1은 본 발명의 일 실시예에 따른 반도체 소자의 전기 특성 측정 방법을 나타내는 흐름도이다. 이를 참조하면, 먼저, 반도체 장치를 정상 동작 모드가 아닌 소정의 테스트 모드로 진입시킨다(12).
- <15> 도 2는 본 발명에 따라 반도체 장치를 테스트 모드로 진입시키기 위한 타이밍도의 일 예이다. 도 2를 참조하면, 명령어 (CMD), 클락(SCK) 및 직렬 입력(SI00)을 이용하여, 테스트 모드 신호(SEC_DAmode)를 활성화한다. 테스트 모드 신호(SEC_DAmode)가 활성화되면, 반도체 장치는 테스트 모드로 진입한다. 명령어(CMD)는 패킷(packet) 단위로 입력된다. 하나의 명령어 패킷은 클락(SCK)의 연속하는 3개의 에지(edge) 구간에서 입력된다. 그리고, 소정의 직렬 입력 신호(SI00)가 입력된다. 이들 세 신호의 조합으로 테스트 모드 신호(SEC_DAmode)가 활성화될 수 있다.
- <16> 반도체 장치를 테스트 모드로 진입시킨 후 다시 전기 특성 측정 모드로 진입시킨다. 이 단계(14)는 크게 반도체 장치를 전기 특성 측정 모드로 진입시키기 위해 주소 신호(TestA)를 발생하는 단계(14)와 주소 신호(TestA)의 설정값에 따라 전기 특성 측정 모드 중에서도 특정의 서브 모드로 진입하는 단계(16)가 있다.
- <17> 도 3은 본 발명에 따라 반도체 장치를 전기 특성 측정 모드로 진입시키기 위한 타이밍도의 일 예이다. 전기 특성 측정 모드로 진입시키기 위해서, 주소 신호(TestA)를 이용한다. 주소 신호(TestA)는 14비트로 구성되며, 이들 비트들의 조합으로, 반도체 장치를 특정의 동작 모드로 진입시킬 수 있다. 주소 신호(TestA)는 테스트로우액티브 신호(TestBsense)와 테스트 클럭(TestClk)의 각각의 상승 엣지(rising edge) 및 하강 엣지(falling edge)에 맞추어 입력된다. 주소 신호(TestA)간의 시간 간격(ts)은 동일하다. 여기서, 테스트로우액티브 신호(TestBsense)와 테스트 클럭(TestClk) 등은 테스트 모드

신호(SEC_DAmode)가 활성화된 후, 즉 테스트 모드에서 사용되는 신호들이다.

<18> 본 실시예에서는, 주소 신호(TestA)의 제10 비트(Atr10) 및 제11 비트(Atr11)를 조합함으로써, 전기 특성 측정 모드로 진입시킨다. 엄밀하게는, 전기 특성 측정 모드 중에서 특정의 서브모드로 진입시킨다. 2개의 비트를 이용하므로, 서브 모드는 4가지가 있을 수 있으며, 서브 모드의 수는 사용되는 주소 신호의 비트수를 조합함으로써 충분히 확장 가능하다. 다음의 표 1은 주소 신호의 비트의 설정에 따른 서브 모드 및 제어 신호들을 보여준다.

<19> 【표 1】

서브 모드	주소 신호(TestA)						제어 신호
	Atr0	...	Atr10	Atr11	...	Atr13	
...	-	...	-	-	...	-	-
ET0	0	...	0	0	...	0	ET_rs
ET1	0	...	0	1	...	0	ET_nmos
ET2	0	...	1	0	...	0	ET_pmos
reserved	0	...	1	1	...	0	-
...	-	...	-	-	...	-	-

<20> 표 1에서 알 수 있듯이, 주소 신호(TestA)의 제10 및 제11 비트(Atr10, Atr11)가 '00'인 경우에는 제1 서브모드(ET0), '01'인 경우에는 제2 서브모드(ET1), '10'인 경우에는 제3 서브모드(ET2)가 된다. 그리고, '11'인 경우는 미사용이다.

<21> 각각의 서브 모드에서는 해당 서브 모드를 제어하기 위한 제어 신호가 발생된다(18). 제1 서브모드(ET0)에서는 저항 측정 제어 신호(ET_rs)가 활성화되고(185), 제2 서브모드(ET1)에서는 엔모스 측정 제어 신호(ET_nmos)가 활성화되며(181), 제3 서브모드(ET2)에서는 피모스 측정 제어 신호(ET_pmos)가 활성화된다(183).

<22> 도 4는 본 발명의 제어 신호를 발생하는 회로인 제어 신호 발생부의 일 예를 나타

내는 도면이다. 입력되는 주소 신호(TestA) 중 제10 및 제11 주소 비트(Atr10, Atr11)는 인버터(IV1, IV3)에서 반전되어, 테스트 클럭(testClk)과 모드 설정 신호(ModeSet)가 '하이' 레벨로 활성화되어 있을 때 플립-플롭(42, 44)으로 각각 입력된다. 플립-플롭(42, 44)의 출력 신호는 각각 테스트 모드 신호(SEC_DAmode)와 부정논리곱(NAND)된 후 상호 조합되어, 저항 측정 제어 신호(ET_rs), 엔모스 측정 제어 신호(ET_nmos) 및 피모스 측정 제어 신호(ET_pmos) 중의 어느 하나를 활성화하게 된다.

<23> 그러면, 활성화된 제어 신호에 응답하여, 전기 소자의 특성이 측정된다(20). 즉, 엔모스 측정 제어 신호(ET_nmos)가 활성화되면, 엔모스 트랜지스터의 문턱 전압(threshold voltage) 및/또는 포화 전류(saturation current)가 측정된다(201). 피모스 측정 제어 신호(ET_pmos)가 활성화되면, 피모스 트랜지스터의 문턱 전압(threshold voltage) 및/또는 포화 전류(saturation current)가 측정된다(203). 그리고, 저항 측정 제어 신호(ET_rs)가 활성화되면, 저항이 측정된다(205). 엔모스 트랜지스터의 문턱 전압 및 포화 전류, 피모스 트랜지스터의 문턱 전압 및 포화 전류, 저항을 측정하는 구체적인 수단에 대해서는 도 5를 참조하여, 상세히 설명한다.

<24> 도 5는 본 발명의 일 실시예에 따른 반도체 소자의 전기 특성 측정 수단을 나타내는 도면이다. 이를 참조하면, 본 발명의 일 실시예에 따른 반도체 소자의 전기 특성 측정 수단은 전기 특성 측정부를 구비한다. 전기 측정부는 전기 특성을 측정하고자 하는 전기 소자에 접속되고, 반도체 장치 내의 하나의 패드에 접속된다. 그리고, 전기 특성 측정부는 제어 신호에 응답하여 구동되어 전기 소자의 전기 특성이 반영된 값을 패드로 출력한다.

<25> 전기 특성 측정부는 엔모스 문턱 전압 측정부(50), 엔모스 포화 전류 측정부(60),

파모스 문턱 전압 측정부(70), 피모스 포화 전류 측정부(80) 및 저항 측정부(90) 중 적어도 어느 하나를 포함한다.

<26> 엔모스 문턱 전압 측정부(50)를 보면, 제1 및 제2 트랜지스터(NV1, NV2)를 구비한다. 그리고, 측정될 대상 엔모스 트랜지스터(TNV)가 있다. 제1 트랜지스터(NV1)의 드레인은 패드(PAD1)에 접속되고, 소오스는 대상 엔모스 트랜지스터(TNV)의 드레인에 접속된다. 그리고, 제2 트랜지스터(NV2)의 드레인과 소오스는 각각 대상 엔모스 트랜지스터(TNV)의 소오스 및 접지 전압에 접속된다. 대상 엔모스 트랜지스터(TNV)의 드레인과 소오스는 서로 접속되고, 제1 및 제2 트랜지스터(NV1, NV2)의 게이트로는 엔모스 측정 제어 신호(ET_nmos)가 입력된다.

<27> 엔모스 측정 제어 신호(ET_nmos)가 활성화되면, 제1 및 제2 트랜지스터(NV1, NV2)는 턴-온(turn-on)된다. 따라서, 대상 엔모스 트랜지스터(TNV))로 소정값의 전류를 흐르게 하면, 패드(PAD1)에 대상 엔모스 트랜지스터(TNV)의 문턱 전압이 반영된 전압 레벨이 나타난다. 따라서, 대상 엔모스 트랜지스터(TNV)의 문턱 전압을 측정할 수 있다.

<28> 엔모스 포화 전류 측정부(60)는 제3, 제4 및 제5 트랜지스터(NI1, NI2, NI3)를 구비한다. 그리고, 측정될 대상 엔모스 트랜지스터(TNI)가 있다. 제3 및 제4 트랜지스터(NI1, NI2)와 대상 엔모스 트랜지스터(TNI)의 구성은 엔모스 문턱 전압 측정부(50)에서 제1 및 제2 트랜지스터(NV1, NV2)와 대상 엔모스 트랜지스터(TNV)의 구성과 동일하다. 다만, 엔모스 포화 전류 측정부(60)에서는, 제5 트랜지스터(NI3)가 더 구비된다. 제5 트랜지스터(NI3)의 게이트로는 엔모스 측정 제어 신호(ET_nmos)가 입력되고, 그 드레인은 전원전압(VCC)에, 그 소오스는 대상 엔모스 트랜지스터(TNI)의 게이트와 접속된다.

<29> 엔모스 측정 제어 신호(ET_nmos)가 활성화되면, 제3, 제4 및 제5 트랜지스터

(NI1,NI2,NI3)는 턴-온(turn-on)된다. 따라서, 대상 엔모스 트랜지스터(TNI)로 포화 전류가 흐르게 되고 이 값은 패드(PAD2)를 통해서 측정할 수 있다.

<30> 피모스 문턱 전압 측정부(70)는 엔모스 문턱 전압 측정부(50)와 유사하게 구성될 수 있다. 즉, 엔모스 문턱 전압 측정부(50)와 마찬가지로, 제6 및 제7 트랜지스터(PV1, PV2)가 구비된다. 다만, 측정될 대상이 피모스 트랜지스터(TPV)이다. 제5 및 제6 트랜지스터(PV1, PV2)와 대상 피모스 트랜지스터(TPV)의 구성은 엔모스 문턱 전압 측정부(50)에서 제1 및 제2 트랜지스터(NV1,NV2)와 대상 엔모스 트랜지스터(TNV)의 구성과 동일하다. 그리고, 제5 및 제6 트랜지스터(PV1, PV2)의 게이트로는 피모스 측정 제어 신호(ET_pmos)가 입력된다.

<31> 피모스 측정 제어 신호(ET_pmos)가 활성화되면, 제6 및 제7 트랜지스터(PV1, PV2)는 턴-온(turn-on)된다. 따라서, 대상 피모스 트랜지스터(TPV)로 소정값의 전류를 흐르게 하면, 패드(PAD3)에 대상 피모스 트랜지스터(TPV)의 문턱 전압을 반영한 전압 레벨이 나타나게 된다.

<32> 피모스 포화 전류 측정부(80)는 엔모스 포화 전류 측정부(60)와 유사하게 구성될 수 있다. 엔모스 포화 전류 측정부(60)에서와 같이, 3개의 트랜지스터들, 즉 제8, 제9 및 제10 트랜지스터(PI1,PI2,PI3)가 구비된다. 그리고, 측정될 대상인 피모스 트랜지스터(TPI)가 있다. 제8, 제9 및 제10 트랜지스터(PI1, PI2, PI3)와 대상 피모스 트랜지스터(TPI)의 구성은 엔모스 포화 전류 측정부(60)에서 제3, 제4 및 제5 트랜지스터(NI1,NI2,NI3)와 대상 엔모스 트랜지스터(TNI)의 구성과 유사하다. 다만, 제10 트랜지스터(PI3)의 게이트로는 피모스 측정 제어 신호(ET_pmos)가 입력되고, 그 드레인은 접지전압에, 그 소오스는 대상 피모스 트랜지스터(TPI)의 게이트와 접속된다.

- <33> . 피모스 측정 제어 신호(ET_pmos)가 활성화되면, 제8, 제9 및 제10 트랜지스터 (PI1,PI2,PI3)는 턴-온(turn-on)된다. 따라서, 대상 피모스 트랜지스터(TPI)로 포화 전류가 흐르게 되고 이 값은 패드(PAD4)를 통해서 측정할 수 있다.
- <34> 저항 측정부(90)도 엔모스 문턱 전압 측정부(50)와 유사하게 구성될 수 있다. 즉, 엔모스 문턱 전압 측정부(50)와 마찬가지로, 제11 및 제12 트랜지스터(NR1, NR2)가 구비된다. 다만, 측정될 대상이 저항 소자(RS)이다. 그리고, 제11 및 제12 트랜지스터(NR1, NR2)의 게이트로 입력되는 신호가 저항 측정 제어 신호(ET_rs)이다.
- <35> 저항 측정 제어 신호(ET_rs)가 활성화되면, 제11 및 제12 트랜지스터(NR1, NR2)는 턴온된다. 따라서, 대상 저항 소자(RS)에 소정값의 전류를 흐르게 하면, 패드(PAD3)에 대상 저항 소자(RS)에서의 전압 강하가 반영된 전압 레벨이 나타나고, 이를 통해 대상 저항 소자(RS)의 저항값을 측정할 수 있다.
- <36> 상기의 실시예에서, 제1 내지 제12 트랜지스터는 모두 엔모스 트랜지스터로 구현된다. 그리고, 패드(PAD1~PAD5)에 접속되는 트랜지스터들(52)은 데이터 입출력핀의 패드에 접속되는 엔모스 트랜지스터의 크기와 동일한 것이 바람직하다. 이렇게 함으로써, 입력 커패시턴스가 정합(matching)될 수 있다.
- <37> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<38> . 본 발명에 의하여, 패키지 조립 후의 완제품 상태에서 반도체 장치내의 전기 소자의 특성을 측정함으로써, 보다 정확한 전기 특성값을 구할 수 있다. 이와 같이 구해진 전기 특성값을 반도체 장치의 특성을 조율하는 회로에 제공할 수 있으므로, 반도체 장치의 특성 저하 및 오동작을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

패키지 상태에서 반도체 장치내의 전기 소자의 특성을 측정하는 수단에 있어서,
상기 전기 소자에 접속되고, 상기 반도체 장치의 패드에 접속되는 전기 특성 측정
부로서, 소정의 제어 신호에 응답하여 구동되어 상기 전기 소자의 전기 특성이 반영된
값을 상기 패드로 출력하는 상기 전기 특성 측정부를 구비하며,
상기 제어 신호는 상기 반도체 장치의 패키지 조립 후에 소정의 전기 특성 측정 모
드에서 활성화되는 것을 특징으로 하는 반도체 소자의 전기 특성 측정 수단.

【청구항 2】

제1항에 있어서, 상기 반도체 소자의 전기 특성 측정 수단은
상기 반도체 장치의 주소 핀을 통해 입력되는 주소 신호를 구성하는 비트들 중 적
어도 1개 이상의 비트를 수신하여, 상기 제어 신호를 발생하는 제어 신호 발생부를 더
구비하는 것을 특징으로 하는 반도체 소자의 전기 특성 측정 수단.

【청구항 3】

제1항에 있어서,
상기 전기 소자는 엔모스 트랜지스터, 피모스 트랜지스터 및 저항 소자 중의 어느
하나이며,
상기 전기 특성은
상기 전기 소자가 엔모스 트랜지스터인 경우에는 상기 엔모스 트랜지스터의 문턱
전압과 상기 엔모스 트랜지스터의 포화 전류 중의 어느 하나를 포함하고, 상기 전기 소

자가 피모스 트랜지스터인 경우에는 상기 피모스 트랜지스터의 문턱 전압과 상기 피모스 트랜지스터의 포화 전류 중의 어느 하나를 포함하며, 상기 전기 소자가 저항 소자인 경우에는 상기 저항 소자의 저항값인 것을 특징으로 하는 반도체 소자의 전기 특성 측정 수단.

【청구항 4】

제1항에 있어서, 상기 전기 특성 측정부는

상기 패드에 그 드레인이 접속되고, 상기 전기 소자의 일 단자에 그 소오스가 접속되는 엔모스 트랜지스터를 포함하며,

상기 엔모스 트랜지스터는 상기 반도체 장치의 데이터 입출력 핀의 패드에 접속되는 엔모스 트랜지스터와 크기가 동일한 것을 특징으로 하는 반도체 소자의 전기 특성 측정 수단.

【청구항 5】

패키지 상태에서 반도체 장치내의 전기 소자의 특성을 측정하는 방법에 있어서,

(a) 상기 반도체 장치의 패키지 조립 후에 상기 반도체 장치를 소정의 전기 특성 측정 모드로 진입시키는 단계;

(b) 소정의 제어 신호가 발생하는 단계; 및

(c) 상기 제어 신호에 응답하여, 상기 전기 소자에 접속되고 상기 반도체 장치의 패드에 접속되는 전기 특성 측정부가 구동되어 상기 전기 소자의 전기적 특성이 반영된 값을 상기 패드로 출력하는 단계를 구비하는 것을 특징으로 하는 반도체 소자의 전기 특성 측정 수단.

【청구항 6】

제5항에 있어서, 상기 (a)단계는

상기 반도체 장치의 주소 핀을 통해 주소 신호를 입력하는 단계; 및

상기 주소 신호를 구성하는 비트들 중 적어도 1개 이상의 비트의 설정값에 따라 상기 전기 특성 측정 모드 중에서도 특정의 서브 모드로 진입하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 전기 특성 측정 방법.

【청구항 7】

제5항에 있어서,

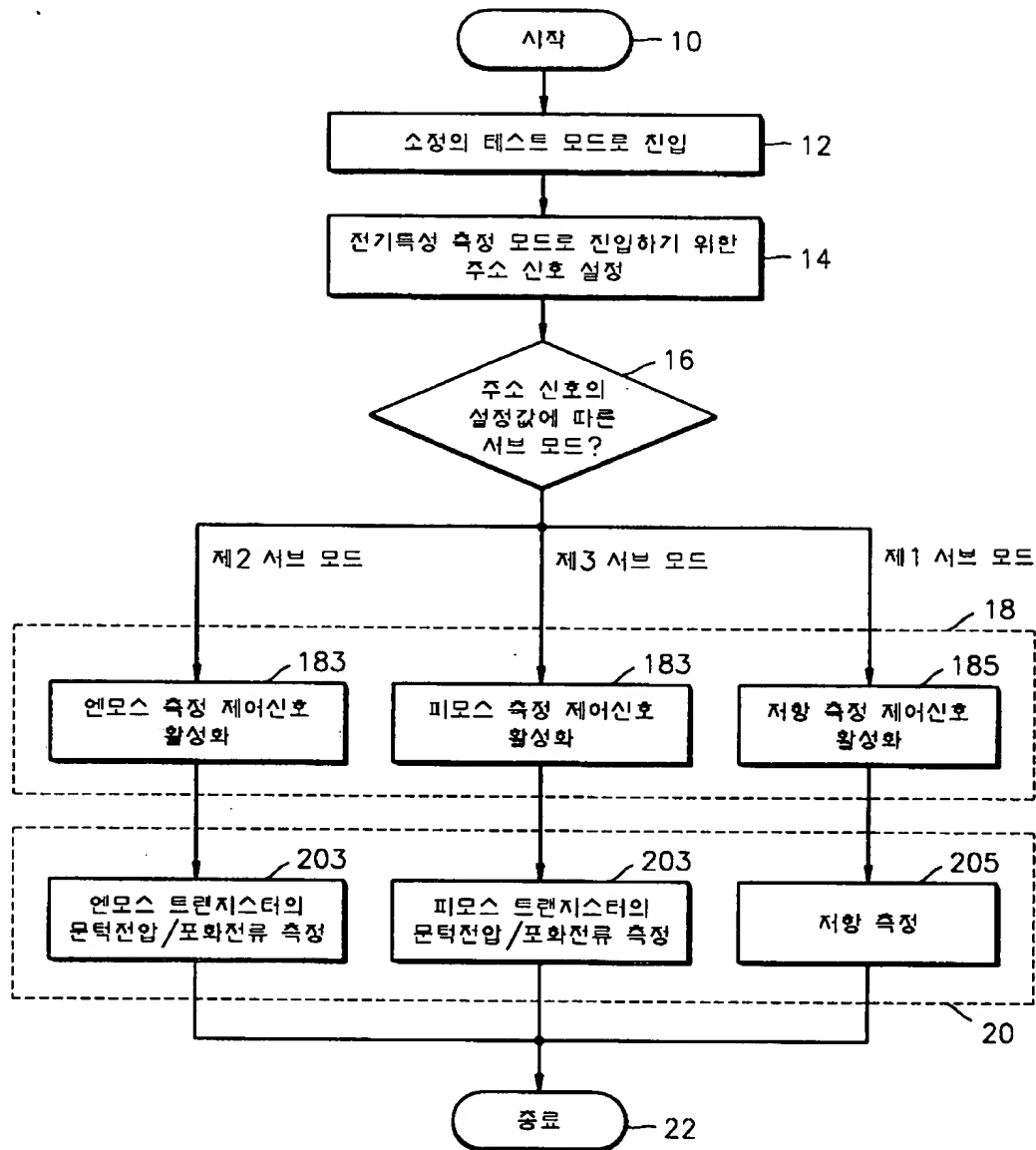
상기 전기 소자는 엔모스 트랜지스터, 피모스 트랜지스터 및 저항 소자 중의 어느 하나이며,

상기 전기 특성은

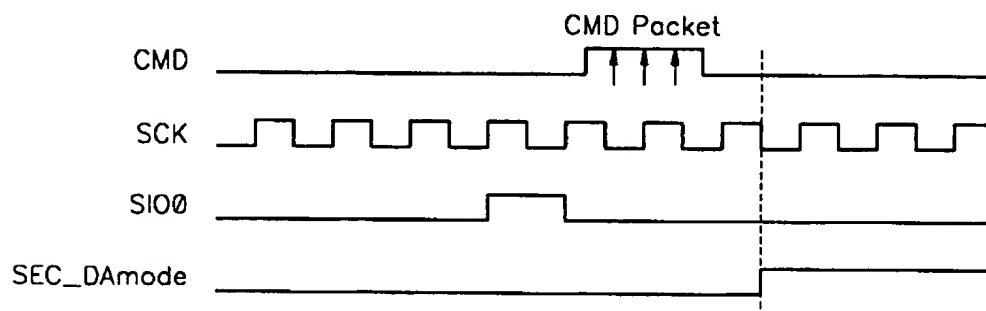
상기 전기 소자가 엔모스 트랜지스터인 경우에는 상기 엔모스 트랜지스터의 문턱 전압과 상기 엔모스 트랜지스터의 포화 전류 중의 어느 하나를 포함하고, 상기 전기 소자가 피모스 트랜지스터인 경우에는 상기 피모스 트랜지스터의 문턱 전압과 상기 피모스 트랜지스터의 포화 전류 중의 어느 하나를 포함하며, 상기 전기 소자가 저항 소자인 경우에는 상기 저항 소자의 저항값인 것을 특징으로 하는 반도체 소자의 전기 특성 측정 방법.

【도면】

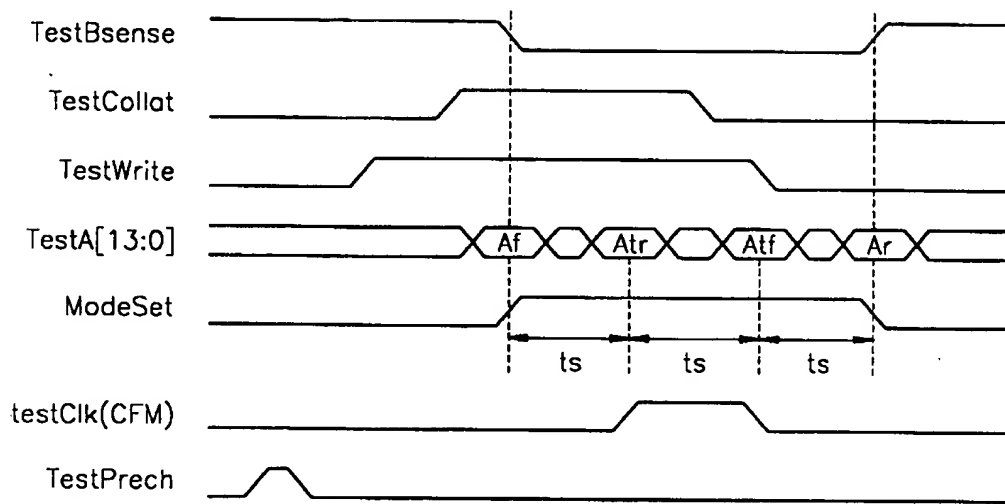
【도 1】



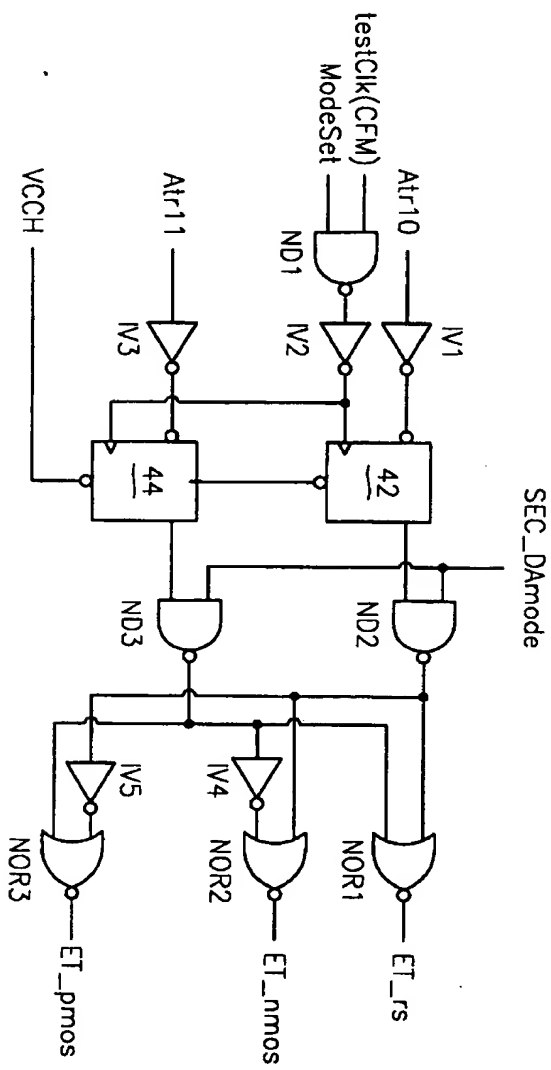
【도 2】



【図 3】



【图 4】



【图 5】

